



<p>(51) 国際特許分類7 H04N 7/24</p>	A1	<p>(11) 国際公開番号 WO00/36841</p> <p>(43) 国際公開日 2000年6月22日(22.06.00)</p>
<p>(21) 国際出願番号 PCT/JP99/06997</p> <p>(22) 国際出願日 1999年12月13日(13.12.99)</p> <p>(30) 優先権データ 特願平10/356670 1998年12月15日(15.12.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP] 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 孝橋靖雄(KOHAASHI, Yasuo)[JP/JP] 〒819-0052 福岡県福岡市西区下山門4-16-22-402 Fukuoka, (JP) 森岩俊博(MORIWA, Toshihiro)[JP/JP] 〒814-0015 福岡県福岡市早良区室見3-1-1-303 Fukuoka, (JP) 九郎丸俊一(KUROMARU, Shunichi)[JP/JP] 〒814-0015 福岡県福岡市早良区室見3-1-1-401 Fukuoka, (JP) 中島弘雅(NAKAJIMA, Hiromasa)[JP/JP] 〒228-0803 神奈川県相模原市相模大野5-10-20-406 Kanagawa, (JP)</p>		
<p>米澤友紀(YONEZAWA, Tomonori)[JP/JP] 〒810-0014 福岡県福岡市中央区平尾5-19-8-105 Fukuoka, (JP) 有田満希(ARITA, Miki)[JP/JP] 〒814-0015 福岡県福岡市早良区室見3-1-1 ジュネス室見203号 Fukuoka, (JP)</p> <p>(74) 代理人 弁理士 早瀬憲一(HAYASE, Kenichi) 〒564-0053 大阪府吹田市江の木町17番1号 江坂全日空ビル8階 早瀬特許事務所 Osaka, (JP)</p> <p>(81) 指定国 CN, IN, JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書 補正書・説明書</p>		
<p>(54) Title: METHOD AND APPARATUS FOR IMAGE PROCESSING</p> <p>(54) 発明の名称 画像処理方法及び画像処理装置</p>		
<div style="display: flex; align-items: flex-start;"> <div style="flex: 1;"> </div> <div style="flex: 1; font-size: small;"> <p>A ... DATA REQUEST</p> <p>B ... INPUT IMAGE</p> <p>C ... DISPLAY IMAGE</p> <p>D ... SET INFORMATION</p> <p>E ... ACCESS ADDRESS</p> <p>F ... HORIZONTAL/VERTICAL AND SIGNAL</p> <p>G ... ENABLE SIGNAL</p> <p>H ... PROCESSOR</p> <p>I ... DATA CONTROLLER</p> <p>J ... DATA REQUEST</p> <p>K ... CORNER/GEOMETRY</p> <p>L ... IMAGE INPUT/OUTPUT</p> <p>M ... DATA BUS</p> <p>N ... DATA SETTING REGISTER</p> <p>O ... 2-DIMENSIONAL ADDRESS GENERATOR</p> <p>P ... DATA CONTROLLER</p> <p>Q ... ADDRESS CONTROLLER</p> <p>R ... EXTERNAL MEMORY (DRAM)</p> <p>S ... DATA CONTROLLER</p> </div> </div>		
<p>(57) Abstract</p> <p>An image processing apparatus transfers data for encoding in an unrestricted motion vector mode without an increase in memory capacity while reducing the processor load. The image processing apparatus comprises a two-dimensional address generator (107) for producing the access address for external memory (102), and an address controller (109) for controlling the horizontal and vertical positions of an expanded logical space and producing an enable signal for the two-dimensional address generator (107). The two-dimensional address area may become addresses of pixel data within the border of the effective image data area so as to reduce the expansion area in the external memory (102).</p>		

無制限動きベクトルモードの符号化処理を行うデータ転送に関し、メモリの必要容量の増加を防止し、プロセッサ部の処理負荷を軽減できる画像処理方法及び画像処理装置を提供するものである。

外部メモリ(102)のアクセスアドレスを発生する2次元アドレス発生部(107)と、拡張論理空間の水平位置と垂直位置を管理し、2次元アドレス発生部(107)の動作許可信号を生成するアドレス制御部(109)とを設け、前記2次元アドレス発生部(107)と前記アドレス制御部(109)とを連動させて動作させることで、有効画像データ領域外へのアクセスアドレスが有効画像データ領域端の画素データのアドレスになるように制御して、外部メモリ(102)内に拡張領域を削減するように構成する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シェラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジランド
BF ブルキナ・ファソ	GH ガーナ	MA マロッコ	TD チャド
BG ブルガリア	GN ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GR ギリシャ	MD モルドヴァ	TJ タジキスタン
BR ブラジル	CW キュー・ビサオ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	HR クロアチア	MK マケドニア・旧ユーゴスラヴィア 共和国	TM トルクメニスタン
CA カナダ	HU ハンガリー	ML マリ	TR トルコ
CF 中央アフリカ	ID インドネシア	MN モンゴル	TT トリニダード・トバゴ
CG コンゴ	IE アイルランド	MR モーリタニア	UG ウガンダ
CH スイス	IL イスラエル	MW マラウイ	US 米国
CI コートジボアール	IN インド	MX メキシコ	UZ ウズベキスタン
CM カメルーン	IS アイスランド	NE ニジェール	VN ヴェトナム
CN 中国	IT イタリア	NL ノルウェー	YU ユーゴスラビア
CR コスタ・リカ	JP 日本	NO ノルウェー	ZA 南アフリカ共和国
CU キューバ	KE ケニア	NZ ニュージーランド	ZW ジンバブエ
CY キプロス	KG キルギスタン	PL ポーランド	
CZ チェッコ	KR 韓国	PT ポルトガル	
DE ドイツ		RO ルーマニア	
DK デンマーク			

明 細 書

画像処理方法及び画像処理装置

5 技術分野

- 本発明は、画像データの符号化／復号化処理をプログラム制御可能なプロセッサ等で行う画像処理の技術分野に属するものであって、2つ以上のメモリ間でデータ転送を行う際に、メモリへのアクセスアドレスを発生するアドレス発生器を備え、メモリに格納されている有効画像データの領域外の画像データにアクセスした時には有効画像データ領域の画像データをアクセスするようにアドレス制御可能とした画像処理方法及び画像処理装置に関するものである。

背景技術

- 15 近年、テレビ電話やテレビ会議システムなど、画像通信を利用したシステムへの関心が高まっているが、一般的に、このシステムで利用する通信回線は伝送速度が低いため、膨大な画像データの伝送には画像の符号化／復号化技術が必要不可欠であり、実際に今までに種々の符号化／復号化方式が提案されている。また、このような
- 20 状況の中、画像の符号化／復号化処理をプログラム制御可能なプロセッサで行う画像処理装置であって、制御を行うプログラムの入れ替えにより、種々の符号化／復号化方式に柔軟に対応可能とした画像処理装置の提供が要望されている。以下に、符号化／復号化処理をプログラム制御可能なプロセッサで行う従来の画像処理装置につ
- 25 いて、第13図を参照しつつ説明する。

第13図は、従来の画像処理装置を示す構成図である。この画像処理装置は、第13図に示すように、入力画像及び表示画像を出入力する画像入出力部1300、画像データや符号データを記憶する外部メモリ1302、プログラム制御にて動作するプロセッサ部1

303、前記画像入出力部1300またはプロセッサ部1303と外部メモリ1302のデータ転送、即ちダイレクトメモリアクセス(Direct Memory Access、以下「DMA」と呼ぶ。)を行うDMAバス1301、および前記画像入出力部1300または前記プロセッサ部1303と前記外部メモリ1302のデータ転送を制御するDMA制御部1305を備えるものである。

前記プロセッサ部1303は、前記外部メモリ1302に記憶してある画像データを符号化／復号化する符号化／復号化部1304を備えている。

前記DMA制御部1305は、前記外部メモリ1302へのアクセスアドレスを発生するのに必要な設定情報を保持しているDMA設定保持部1306、前記DMA設定保持部1306の設定情報により前記外部メモリ1302の矩形アクセスアドレスを発生する2次元アドレス発生部1307、および前記2次元アドレス発生部1307で発生する前記外部メモリ1302のアクセスアドレスに対して読み出し、あるいは書き込みを制御するDRAM制御部1308を備えている。

以上のように構成された画像処理装置について、その動作を第13図及び第14図を用いて簡単に説明する。

まず、入力画像が画像入出力部1300に入力されると、画像入出力部1300は該入力画像を符号化対象となる画像サイズに解像度変換した後、DMA制御部1305の制御により、DMAバス1301を介して、外部メモリ1302に転送される。この解像度変換後の符号化対象画像サイズは、例えば、水平176画素×垂直144画素(QCIF)や水平352画素×垂直288画素(CIF)などが使用される。プロセッサ部1303は、前記外部メモリ1302に格納された前記の符号化対象画像を例えば、水平16画素×垂直16画素や水平8画素×垂直8画素の矩形領域に分割して符号化／復号化部1304に取り込み、符号化処理した結果、その符号

データを前記外部メモリ1302に記憶させる。外部メモリ1302から符号化対象画像をプロセッサ部1303の符号化／復号化部1304にDMAする場合、プロセッサ部1303がDMA設定保持部1306に矩形アクセスアドレスを発生させるための設定情報
5 を設定すると、2次元アドレス発生部1307は前記設定情報を使用して、前記矩形領域のデータの記憶されている外部メモリ1302のアドレスを発生する。なお、この矩形アクセスアドレスを発生する2次元アドレス発生部1307は、特開平4-218847の構成によって実現される。すなわち、該2次元アドレス発生器13
10 07は、実際に用いられるアドレス値を書き込む累算レジスタのほかに、各走査方向で独立の第1から第Nまでの累算レジスタを有し、走査方向が変わったときのアドレス計算には走査方向に対応した累算レジスタに対してその走査方向の増分データを加算することによりアドレス値を計算するように構成する。これによって、N個の累
15 算レジスタが、各走査方向に対してつぎに同じ走査方向になるまで、前にその走査方向に対して行ったアドレス計算の結果を保持しているので、走査方向が変わる毎に累算レジスタにスタートアドレスを計算して設定する必要がなく、連続的に多次元アドレス領域の中の一部の多次元アドレス領域の多次元データをアクセスすることが可
20 能となる。

また、復号化処理については、外部メモリ1302に記憶されている、別の画像処理装置から転送されてきた符号データをプロセッサ部1303の符号化／復号化部1304にDMAし、前記矩形領域単位で復号化し、その復号化された画像データを外部メモリ13
25 02に記憶させる。

第14図は、外部メモリ1302に格納している画像データの形式を示したものである。第14図において、1400は画像入出力部1300から外部メモリ1302へDMAした画素データで、円内の数字は、上が水平方向の画素位置、下が垂直方向の画素位置を

示す。1401は前記画像入力部1300から外部メモリ1302へDMAした有効画像データ領域で、この場合、水平176画素、垂直144画素を示す。1402は前記有効画像データ領域1401の左上隅の画素データ(0, 0)をコピーした第1の画素データ
5 拡張領域、1403は前記有効画像データ領域1401の右上隅の画素データ(0, 175)をコピーした第2の画素データ拡張領域、1404は前記有効画像データ領域1401の右下隅の画素データ(143, 175)をコピーした第3の画素データ拡張領域、1405は前記有効画像データ領域1401の左下隅の画素データ(1
10 43, 0)をコピーした第4の画素データ拡張領域、1406は前記有効画像データ領域1401の上端の画素データ列をコピーした第5の画素データ拡張領域、1407は前記有効画像データ領域1401の右端の画素データ列をコピーした第6の画素データ拡張領域、1408は前記有効画像データ領域1401の下端の画素データ
15 タ列をコピーした第7の画素データ拡張領域、1409は前記有効画像データ領域1401の左端の画素データ列をコピーした第8の画素データ拡張領域を示す。

ところで、テレビ会議システム向け符号化方式の国際標準の一つに、ITU-T勧告H. 263方式がある。H. 263方式では、
20 符号化効率を上げるために、オプションモードを備えており、その中の一つに無制限動きベクトルモードがある。このモードについては、社団法人電信電話技術委員会発行の「TTC標準 JTH263 低ビットレート通信用ビデオ符号化方式」に記載されている。簡単に説明すると、有効画像データ領域の外に飛び出した物体を示
25 す動きベクトルを使った動き補償機能であり、解像度の低い画像や移動するカメラで撮影した画像などに対して符号化効率が上がるということが知られている。

次に、前記従来の画像処理装置で、有効画像データ領域1401外の拡張領域1402～1409を作る手順について説明する。第

1 3 図の画像入出力部 1 3 0 0 から外部メモリ 1 3 0 2 に入力画像を DMA すると、まず、外部メモリ 1 3 0 2 には第 1 4 図の有効画像データ領域 1 4 0 1 に格納される。その後、第 1 3 図のプロセッサ部 1 3 0 3 は外部メモリ 1 3 0 2 に格納されている有効画像データ領域 1 4 0 1 端の画素データを、第 1 4 図の拡張領域 1 4 0 2 ~ 1 4 0 9 へとコピーする。そして、前記の無制限動きベクトルモードを使用した符号化処理を実行する。このようにして有効画像データ領域 1 4 0 1 外の拡張領域 1 4 0 2 ~ 1 4 0 9 が作られる。

しかしながら、上述した従来の画像処理装置の構成では、無制限動きベクトルモードの符号化処理を開始する前に、プロセッサ部 1 3 0 3 によって予め外部メモリ 1 3 0 2 に拡張領域 1 4 0 2 ~ 1 4 0 9 を作るため、外部メモリ 1 3 0 2 には該拡張領域 1 4 0 2 ~ 1 4 0 9 分のメモリ容量が必要になり、外部メモリ 1 3 0 2 の容量増加を招くという問題があった。

また、プロセッサ部 1 3 0 3 が拡張領域 1 4 0 2 ~ 1 4 0 9 を作るため、プロセッサ部 1 3 0 3 の処理負荷が増加し、符号化処理時間を多く必要とするという問題があった。

本発明は、上記の点に鑑みてなされたものであり、外部メモリとプロセッサ部間のデータ転送において、外部メモリの必要容量の増加を防止し、かつプロセッサ部の処理負荷を軽減できる画像処理方法及び画像処理装置を提供することを目的とする。

発明の開示

本発明の請求の範囲第 1 項に係る画像処理方法は、メモリに記憶してあるデータを符号化又は復号化処理するプロセッサ部が設定情報保持部に設定情報を設定した後、該設定情報に従ってアドレス発生部が矩型アクセスアドレスを発生し、該矩型アクセスアドレスに従ってメモリ制御部が前記メモリの書き込み又は読み出し制御をし、データ転送を行う画像処理方法において、前記アドレス発生部とは

別に水平及び垂直方向のアクセス位置を管理し、アクセスする位置
が有効データ領域外になる場合は、前記アドレス発生部の発生アド
レスを有効データ領域内のアドレス値になるように制御して、画像
データを補う処理を行うようにしたことを特徴とするものである。

- 5 本発明によれば、メモリ内には有効画像データのみを保持してお
けば良く、従って、メモリの必要容量の増加を防止し、かつプロセ
ッサ部の処理負荷を軽減することが可能となる。

- 本発明の請求の範囲第2項に係る画像処理装置は、メモリに記憶
してある有効画像データを符号化又は復号化する画像処理装置にお
10 いて、前記メモリ内に前記有効画像データのみを記憶させ、もし、
符号化／復号化部が前記有効画像データの領域外の画素データを符
号化又は復号化する場合には、アドレス制御、あるいはアドレス変
換により前記メモリに記憶されている有効画像データ領域の前記画
素データに最も近い最端縁に位置するデータを符号化又は復号化す
15 ることを特徴とするものである。

- 本発明によれば、メモリ内には有効画像データのみを保持してお
けばよく、従って、メモリの必要容量の増加を防止することが可能
であり、また、事前に有効画像データ領域の拡張領域への拡張を実
行しなくてもよいため、その拡張処理のための負担を軽減すること
20 が可能となる。

- 本発明の請求の範囲第3項に係る画像処理装置は、画像データの
入出力を行う画像入出力部と、画像データ、および符号データを記
憶するメモリと、前記メモリへのアクセス矩形領域の矩形アクセス
アドレスを発生させるのに必要な設定情報を出力すると共に、前記
25 メモリに記憶してあるデータを符号化又は復号化処理する符号化／
復号化部を有するプロセッサ部と、前記メモリへの矩型アクセスア
ドレスを発生し、かつ、前記矩形アクセスアドレスの発生において、
水平方向のアドレスの発生が終了したときには水平終了信号を発生
し、垂直方向のアドレスの発生が終了したときには垂直終了信号を

発生するアドレス発生部と、前記アドレス発生部で矩型アクセスアドレスを発生するのに必要な前記プロセッサ部からの設定情報を保持する設定情報保持部と、前記設定情報と、前記水平終了信号と、前記垂直終了信号とにより、水平方向および垂直方向の前記メモリへのアクセス位置を管理し、前記アクセス位置が前記メモリに記憶されている領域内であるか否かを判断し、領域内である場合は、前記アドレス発生部に動作許可信号を出力し、領域内でない場合は前記アドレス発生部に動作許可信号を出力しないことにより前記アドレス発生部のアドレスの発生を制御するアドレス制御部と、前記アドレス発生部で発生した矩形アクセスアドレスに従って前記メモリの書き込み又は読み出し制御を行うメモリ制御部とを備えたことを特徴とするものである。

本発明によれば、有効画像データ領域外へのアクセスアドレスが有効画像データ領域端の画素データのアドレスになるよう制御することができ、これにより外部メモリとプロセッサ部間のデータ転送において外部メモリの必要容量の増加を防止し、かつプロセッサ部の処理負荷を軽減できるという効果がある。

本発明の請求の範囲第4項に係る画像処理装置は、画像データの入出力を行う画像入出力部と、画像データ、および符号データを記憶するメモリと、前記メモリにアクセスしたいアクセス矩形領域のアドレスの矩形アクセスアドレスを発生させるのに必要な設定情報を出力すると共に、前記メモリに記憶してあるデータを符号化又は復号化処理する符号化／復号化部を有するプロセッサ部と、前記メモリへの矩型アクセスアドレスを発生し、かつ、前記矩形アクセスアドレスの発生において、水平方向のアドレスの発生が終了したときには水平終了信号を発生し、垂直方向のアドレスの発生が終了したときには垂直終了信号を発生するアドレス発生部と、前記アドレス発生部で矩型アクセスアドレスを発生するのに必要な前記プロセッサ部からの設定情報として、水平開始位置情報、水平位置変位情

- 報，水平位置制限値情報，垂直開始位置情報，垂直位置変位情報，および垂直位置制限値情報を保持する設定情報保持部と、前記水平開始位置情報と前記水平位置変位情報とから水平方向のアクセス位置を管理する水平位置管理部，および前記垂直開始位置情報と前記垂直位置変位情報とから垂直方向のアクセス位置を管理する垂直位置管理部を有し、さらに前記水平位置管理部からの水平位置情報，前記垂直位置管理部からの垂直位置情報，前記設定情報保持部からの水平位置制限値情報および垂直位置制限値情報，並びに前記アドレス発生部からの前記水平終了信号および前記垂直終了信号から、
- 10 前記アドレス発生部の動作を許可する動作許可信号を生成する動作許可信号生成部を有し、該動作許可信号生成部からの動作許可信号によって前記アドレス発生部の動作及び停止を制御するアドレス制御部と、前記アドレス発生部で発生した矩形アクセスアドレスに従って前記メモリの書き込み又は読み出し制御を行うメモリ制御部と
- 15 を備えたことを特徴とするものである。

- 本発明によれば、有効画像データ領域外へのアクセスアドレスが有効画像データ領域端の画素データのアドレスになるよう制御することができ、これにより外部メモリとプロセッサ部間のデータ転送において外部メモリの必要容量の増加を防止し、かつプロセッサ部
- 20 の処理負荷を軽減できるという効果がある。

- 本発明の請求の範囲第5項に係る画像処理装置は、画像データの入出力を行う画像入出力部と、画像データ、および符号データの有効画像データ領域を記憶する外部メモリと、前記外部メモリから読み出したいアクセス矩形領域を決定し、前記アクセス矩形領域のうち前記有効画像データ領域に含まれる有効アクセス矩形領域のデータ
- 25 を前記外部メモリから読み出し、符号化又は復号化処理を行う符号化／復号化部とを備えた画像処理装置であって、前記符号化／復号化部は、データの符号化又は復号化処理を行うデータ処理部と、前記外部メモリから読み出した前記有効アクセス矩形領域のデータ

を記憶する内部メモリと、前記アクセス矩形領域内に前記内部メモリから前記データ処理部に転送するデータ処理矩形領域を設定し、前記データ処理矩形領域のスタートアドレス、および前記アクセス矩形領域と前記有効画像データ領域との相対位置を示す拡張パターンを出力する制御部と、前記スタートアドレスを始点として前記データ処理矩形領域内のアクセスアドレスを発生するアドレス発生部と、前記アドレス発生部の発生したアドレスが前記有効アクセス矩形領域内である場合には、そのアドレスをそのまま前記内部メモリに出力し、前記アドレス発生部の発生したアドレスが前記有効アクセス矩形領域内でない場合には、前記拡張パターンをもとに、前記アドレス発生部の発生したアドレスを前記有効アクセス矩形領域内のアドレスに変換して前記内部メモリに出力するアドレス変換部とから構成されることを特徴とするものである。

本発明によれば、内部メモリ、及び外部メモリに拡張領域のデータを記憶する必要がないため、メモリの必要容量の増加を防止することが可能であり、また、事前に有効画像データ領域の拡張領域への拡張を実行しなくてもよいため、その拡張処理のための負担を軽減することが可能となる。

本発明の請求の範囲第6項に係る画像処理装置は、請求の範囲第5項に記載の画像処理装置において、前記アドレス変換部は、アドレス変換のためのテーブルを保持し、該テーブルを用いることによりアドレスの変換を行うことを特徴とするものである。

本発明によれば、内部メモリ、及び外部メモリに拡張領域のデータを記憶する必要がないため、メモリの必要容量の増加を防止することが可能であり、また、事前に有効画像データ領域の拡張領域への拡張を実行しなくてもよいため、その拡張処理のための負担を軽減することが可能となる。さらに、アドレスの変換をハードウェアにより実現させる場合には、前記符号化／復号化部におけるソフトウェアにおける処理負担を低減することができ、また、前記テーブ

ルを用いたアドレスの変換には、乗算処理等が必要でないため、ハードウェアに乗算器等が不要であることにより、ハードウェア規模の減少を実現することができる。

5 図面の簡単な説明

第1図は、本発明の実施の形態1による画像処理装置の構成を示すブロック図である。

第2図は、本発明の実施の形態1による画像処理装置のアドレス制御部の構成を示すブロック図である。

10 第3図は、本発明の実施の形態1によるDMA設定保持部に保持する2次元アドレス発生部の設定情報を示すテーブルである。

第4図は、本発明の実施の形態1によるDMA設定保持部に保持するアドレス制御部の設定情報を示すテーブルである。

15 第5図は、本発明の実施の形態1による拡張論理空間を示す模式図である。

第6図は、本発明の実施の形態1による2次元アドレス発生部の動作フローを示すフローチャートである。

第7図は、本発明の実施の形態1によるアドレス制御部の動作フローを示すフローチャートである。

20 第8図は、本発明の実施の形態2による画像処理装置の構成を示すブロック図である。

第9図は、本発明の実施の形態2による有効画像領域と、矩形領域とを示した図である。

25 第10図は、本発明の実施の形態2による矩形領域の論理アドレスと物理アドレスとの対応を説明するための図である。

第11(a)図は、本発明の実施の形態2によるアドレス変換テーブルの一部を示す図である。

第11(b)図は、本発明の実施の形態2によるアドレス変換テーブルの一部を示す図である。

第12図は、本発明の実施の形態2による画像処理装置の構成を示すブロック図である。

第13図は、従来の画像処理装置の構成を示すブロック図である。

第14図は、従来の画像処理装置における外部メモリ内の画像データ格納形式状態を示す模式図である。

発明を実施するための最良の形態

以下に、本発明の実施の形態について図面を参照しながら説明する。尚、ここで示す実施の形態はあくまで一例であって、本発明は、必ずしもこの実施の形態に限定されるものではない。

実施の形態1.

第1図は、本発明の実施の形態1における画像処理装置の構成を示すものである。

本実施の形態1による画像処理装置は、第13図に示した従来の画像処理装置において、DMA設定保持部106の設定情報に従って、拡張領域を含む拡張論理空間のアクセス位置を管理し、2次元アドレス発生部107の動作許可信号を生成するアドレス制御部109を設けたものである。なお、本実施の形態1の画像処理装置において、画像入出力部100、DMAバス101、外部メモリ102、プロセッサ部103、符号化／復号化部104、およびDRAM制御部108は、それぞれ、第13図に示した従来の画像処理装置における、画像入出力部1300、DMAバス1301、外部メモリ1302、プロセッサ部1303、符号化／復号化部1304、およびDRAM制御部1308と同一の構成を有するものである。

また、第2図は、前記アドレス制御部109の構成を示すものである。なお、第2図において、200は第1図におけるアドレス制御部109を示すものである。

前記アドレス制御部109は、第2図に示すように、水平位置管理部201、垂直位置管理部202および動作許可信号生成部20

3を備える。

前記水平位置管理部201は、有効画像データ領域に拡張領域をあわせた拡張論理空間内の水平位置を管理するものである。前記垂直位置管理部202は、前記拡張論理空間の垂直位置を管理するものである。前記動作許可信号生成部203は、前記水平位置管理部201からの水平位置情報と前記垂直位置管理部202からの垂直位置情報と前記DMA設定保持部106からの水平アドレス制限値と垂直アドレス制限値と前記2次元アドレス発生部107からの水平終了信号と垂直終了信号とから前記2次元アドレス発生部107の動作許可信号を生成するものである。

第3図は、前記DMA設定保持部106に保持する2次元アドレス発生部107の設定情報を示すものである。第3図において、SAはアクセス矩形領域のスタートアドレスを有効画像データ領域内にした時のアドレス値、NXは前記アクセス矩形領域の水平方向のアクセス数から1を引いた値、DXは前記アクセス矩形領域の水平方向のアドレス変位値、NYは前記アクセス矩形領域の垂直方向のアクセス数から1を引いた値、DYは前記アクセス矩形領域の垂直方向のアドレス変位値である。

また、第4図は、前記DMA設定保持部106に保持するアドレス制御部109の設定情報を示すものである。第4図において、HSAはアクセス矩形領域の拡張論理空間における水平スタートアドレス、HMAXは前記拡張論理空間の水平方向のアドレス制限値、DXは前記アクセス矩形領域の水平方向のアドレス変位値で、第3図のDXと同一のものである。VSAは前記アクセス矩形領域の拡張論理空間における垂直スタートアドレス、VMAXは前記拡張論理空間の垂直方向のアドレス制限値、DVは前記アクセス矩形領域の拡張論理空間における垂直方向のアドレス変位値である。

第5図は、前記アドレス制御部109で管理する拡張論理空間に対して、プロセッサ部103が有効画像データ領域外の拡張領域か

ら矩形領域をDMAする場合を示したものである。第5図において、500は外部メモリ102に格納されている有効画像データ領域、501は前記有効画像データ領域500の左上隅の画素データで、拡張論理空間の座標として(0, 0)とする。502は有効画像データ領域500の右下隅の画素データで、拡張論理空間の座標として(HMAX, VMAX)とする。503は有効画像データ領域500の端データを拡張した領域を含む拡張論理空間、504はプロセッサ部103が外部メモリ102から読み出したい矩形領域、505は前記矩形領域504のスタートアドレスで、アドレス制御部109の設定情報として設定する2次元スタートアドレス(HSA, VSA)、506は2次元アドレス発生部107の設定情報として設定するスタートアドレスSAである。

以上のように構成された本実施の形態1の画像処理装置について、以下、その動作を説明する。

第6図は、2次元アドレス発生部107の動作フローを示したものである。第6図において、600は2次元アドレス発生部107が動作を開始した最初の1サイクルの動作を示すステップ、601は2次元アドレス発生部107で水平方向のアドレスを発生している時の動作サイクルを示すステップ、602は2次元アドレス発生部107で水平方向のアドレス発生終了によって垂直方向のアドレスを更新する時の動作サイクルを示すステップである。また、第6図中の使用記号として、同図中の表に示すように、AAは2次元アドレス発生部107で発生している外部メモリ102のアクセスアドレス、YAはアクセス矩形領域504の垂直方向の初期アドレス値、すなわちアクセス矩形領域504の左端画素データ列のアドレス値、CXはアクセス矩形領域504の水平方向のアクセス数を示すカウンタ値、CYはアクセス矩形領域504の垂直方向のアクセス数を示すカウンタ値である。

まず、プロセッサ部103は、DMA設定保持部106に対し、

外部メモリ102にアクセスしたいアクセス矩形領域504のアドレスを発生させるために、SA, NX, DX, NY, DY、また、拡張論理空間アドレスを発生させるために、HSA, HMAX, VSA, VMAX, DVを設定する。

- 5 そうすると、ステップ600にて、2次元アドレス発生部107は、初期動作を開始し、外部メモリ102のアクセスアドレスAAとしてSAを出力し、また、アクセス矩形領域504の垂直初期アドレスYAをSA、アクセス矩形領域504の水平方向アクセスカウンタ値CXをNX、アクセス矩形領域504の垂直方向アクセス
- 10 カウンタ値CYをNYで初期化する。

- 以降、ステップ601にて、2次元アドレス発生部107は、アドレス制御部109の出力する動作許可信号のOn、Offに従いアドレスを更新するか否かを決定し、そのアドレスをDRAM制御部108に出力する。もし、前記アドレス制御部109からの動作
- 15 許可信号がOnならば、次のサイクルで、アクセスアドレスAAを前回のAA+DXの値にし、CXから1を減算して、そのアクセスアドレスAAをDRAM制御部108に出力する。もし、前記アドレス制御部109からの動作許可信号がOffならば、アクセスアドレスAAは更新せずに、CXのみ1減算して、そのアクセスアド
- 20 レスAAをDRAM制御部108に出力する。そして、CX値が0かどうかを判定し、0でなければ、動作許可信号のOn、Offに従い、水平方向のアクセスアドレスAAを発生し続ける。一方、CX値が0になると、水平方向のアクセスアドレス発生が終了したことになり、水平終了信号をOnにする。この時、もし、垂直方向の
- 25 アクセス数CYも0であれば、垂直終了信号をOnにして、2次元アドレス発生器107はアドレス制御部109に前記の水平終了信号および垂直終了信号を出力し、2次元アドレス発生を終了する。しかし、垂直方向のアクセス数CYが0でなければ、次のステップ602へ進む。

ステップ602にて、アドレス制御部109の動作許可信号がOnならば、アクセスアドレスAA及びYAともにYA+DYに、CXをNXにし、CYを1減算して、そのアクセスアドレスAAをDRAM制御部108に出力する。もし、アドレス制御部109の動作許可信号がOffならば、アクセスアドレスAA及びYAともにYAに、CXはNX、CYは1を減算して、そのアクセスアドレスAAをDRAM制御部108に出力する。そして再び、前記ステップ601における水平方向のアドレス発生サイクルに戻る。最後に、ステップ601における、CYが0になると、垂直終了信号をOnにして、2次元アドレス発生器107はアドレス制御部109に前記の水平終了信号および垂直終了信号を出力し、2次元アドレス発生を終了する。

第7図は、アドレス制御部109の動作フローを示したものである。第7図において、700はアドレス制御部109が動作を開始した最初の1サイクルの動作を示すステップ、701はアドレス制御部109で拡張論理空間の水平方向のアドレスを発生している時の動作サイクルを示すステップ、702は2次元アドレス発生部107で水平方向のアドレス発生終了によって垂直方向のアドレスを更新する時の動作サイクルを示すステップである。また、第7図中の使用記号として、同図中の表に示すように、AGENは2次元アドレス発生部107の動作をOn、Offする動作許可信号、HPは拡張論理空間における水平アクセス位置で、水平位置管理部201で生成する水平アドレス、VPは拡張論理空間における垂直アクセス位置で、垂直位置管理部202で生成する垂直アドレス、CXENDは2次元アドレス発生部107からの水平終了信号、CYENDは2次元アドレス発生部107からの垂直終了信号である。

アドレス制御部109は2次元アドレス発生部107と連動して、DMA設定保持部106の設定値に従い、動作を開始する。まず、ステップ700にて、水平位置管理部201の水平アドレスHPを

HSAに、垂直位置管理部202の垂直アドレスVPをVSAで初期化する。そして、もし、次の水平位置であるHP+DXの値が0以上で、HMAX値以下であるならば、動作許可信号AGENをOnする。もし、HP+DXの値が0以上で、HMAX値以下でないならば、動作許可信号AGENをOffする。

次に、ステップ701にて、水平アドレスHPはHP+DXの値に更新し、その次の水平位置であるHP+DXの値が0以上で、HMAX値以下であるならば、動作許可信号AGENをOnし、否ならば、動作許可信号AGENをOffする。この時、もし、2次元アドレス発生部107からの水平終了信号CXENDがOnでなければ、以降、水平アドレスHPを更新していく。もし、水平終了信号CXENDがOnならば、垂直終了信号CYENDがOnかどうかを判定し、Onならばアドレス制御部109の動作は終了する。もし、垂直終了信号CYENDがOnでなければ、次のステップ702へ進む。

ステップ702では、水平アドレスHPをHSAに、垂直アドレスVPをVP+DVする。そして、その次の垂直位置であるVP+DVの値が0以上で、VMAX値以下であるならば、動作許可信号AGENをOnし、否ならば、動作許可信号AGENをOffする。そして、再び、前記のステップ701における、水平アドレス生成サイクルに戻り、最後に2次元アドレス発生部107からの垂直終了信号CYENDがOnになるとアドレス制御部109の動作は終了する。

以上のように、本実施の形態1によれば、外部メモリ102のアクセスアドレスを発生する2次元アドレス発生部107と拡張論理空間を管理するアドレス制御部109とを連動させて動作させることで、有効画像データ領域外(505)へのアクセスアドレスが有効画像データ領域端(506)の画素データのアドレスになるよう制御される。すなわち、本実施の形態1の画像処理装置は、外部メ

メモリ 102 内には有効画像データ 500 のみを保持し、外部メモリ 102 からプロセッサ部 103 に画像データを転送する前に、もし、アクセスアドレスが有効画像データ領域外であれば、有効画像データ領域を示すアドレスになるよう制御することによってデータを補
5 っており、これにより、外部メモリ 102 の必要容量の増加を防止し、かつプロセッサ部 103 の処理負荷を軽減することができるものが得られる。

なお、本実施の形態 1 におけるプロセッサ部 103 として、矩形アクセスアドレスを発生させるのに必要な設定情報をセットする部分
10 分や符号化／復号化部 104 は、プログラム制御によるソフトウェアで構成してもよく、ハードウェアで構成してもよい。

また、本実施の形態 1 における外部メモリ 102 は、DRAM で構成しているが、SRAM で構成してもよい。

また、本実施の形態 1 における符号化／復号化部 104 は、符号
15 化、及び復号化処理の両方を行うものであってもよく、あるいは、いずれか一方の処理のみを行うものであってもよい。

実施の形態 2.

第 8 図は、本発明の実施の形態 2 における画像処理装置の構成を示すものである。

20 本実施の形態 2 による画像処理装置は、入力画像及び表示画像を入力出力する画像入出力部 800、画像データや符号データを記憶する外部メモリ 802、画像データや符号データに対して符号化、あるいは復号化処理を行う符号化／復号化部 803、及び画像入出力部 800 または符号化／復号化部 803 と外部メモリ 802 のデータ
25 転送を行う DMA バス 801 を備える。

符号化／復号化部 803 は、データ処理部 804、内部メモリ 805、制御部 806、及び内部メモリ制御部 807 を備える。

データ処理部 804 は、画像データを符号化、あるいは復号化する。内部メモリ 805 は、外部メモリ 802 から読み込んだ画像デ

ータを記憶する。制御部 806 は、データ処理部 804 に対して処理内容と処理タイミングとを出力し、また、内部メモリ制御部 807 に対して内部メモリ 805 からデータ処理部 804 に転送するデータ領域のスタートアドレスを出力する。内部メモリ制御部 807 は、内部メモリ 805 から、データ処理部 804 へのデータ転送を制御する。

内部メモリ制御部 807 は、制御部 806 からの設定情報によりアドレスを発生する 2 次元アドレス発生部 808、及び 2 次元アドレス発生部 808 から入力されるアドレスを内部メモリ 805 のアクセスアドレスに変換するアドレス変換部 809 を備える。

第 9 図は、有効画像データ領域 900 と、符号化／復号化部 803 が外部メモリ 802 から読み込む矩形領域 901～909 とを示した図である。有効画像データ領域 900 としては、例えば、水平 176 画素×垂直 144 画素 (QCIF) や、水平 352 画素×垂直 288 画素 (CIF) などが使用される。矩形領域 901～909 は、マクロブロック (水平 16 画素×垂直 16 画素) が 9 個まとまった水平 48 画素×垂直 48 画素であるとし、また、その中心のマクロブロックは、例えば QCIF 画像にとることのできる縦 9 個×横 11 個のマクロブロックの罫目のいずれかと一致するようにとる。なお、領域の一部が有効画像データ領域からはみ出ている矩形領域もあるが、これは無制限ベクトルモードの符号化処理を符号化／復号化部 803 において行うためである。

以上より、有効画像領域に対して矩形領域をとるパターンは、例えば有効画像データ領域が QCIF 画像のときには、99 通りとなるが、その 99 通りの矩形領域の取り方を、有効画像データ領域から拡張領域への拡張パターンによって区別すると、第 9 図の矩形領域 901～909 によって示される 9 個のパターンとなる。なお、上述のように、拡張パターンが 9 個になることは、有効画像データ領域が QCIF 画像であるか否かによらないことは、明らかである。

この9個の拡張パターンをEXTPATと呼ぶこととし、このEXTPATを4bitで表すこととする。すなわち、ある矩形領域に対して有効画像データ領域900の上下左右の各辺のいずれかと重なりがあれば、EXTPATのその辺に対応する数字を1とし、重なりがないときには0とする。そして、その数字を有効画像データ領域900の上下左右の各辺の順に表した4桁の0と1の数字が、EXTPATである。例えば、第9図の矩形領域901に対しては、EXTPAT=1010となる。

第10図は、内部メモリ805における矩形領域（水平48画素×垂直48画素）の論理アドレス（2次元）と物理アドレス（1次元）との対応を説明するための図である。第10図に示された矩形領域1000において、水平、及び垂直座標と、破線とで区切られた正方形の各領域はマクロブロック（水平16画素×垂直16画素）である。論理アドレスは、水平論理アドレスHPと、垂直論理アドレスVPとからなり、画素データ1003のアドレスが（HP、VP）=（0、0）であり、水平論理アドレスHPは、右に1画素ずれるごとに1増加し、垂直論理アドレスVPは、下に1画素ずれるごとに1増加する。したがって、水平論理アドレスHPと、垂直論理アドレスVPとは、矩形領域1000において、それぞれ-16から31までの値をとる。

一方、物理アドレスAAは、矩形領域1000の左上隅の画素データ1001の位置が0であり、右に1画素ずれるごとに1増加し、矩形領域1000の右端までいくと、次は、1画素分下の矩形領域1000の左端、すなわち、画素データ1004の位置に行く。したがって、画素データ1004の物理アドレスAAは、48であり、また、画素データ1002の物理アドレスAAは、2303である。

以上のように構成された本実施の形態2の画像処理装置について、以下、その動作を説明する。

まず、入力画像が画像入出力部800に入力されると、画像入出

力部 800 は該入力画像を符号化対象となる画像サイズに解像度変換した後、DMA バス 801 を介して外部メモリ 802 に転送される。この解像度変換後の符号化対象画像サイズは、例えば、水平 176 画素×垂直 144 画素 (QCIF) や、水平 352 画素×垂直 288 画素 (CIF) などが使用される。符号化／復号化部 803 は、無制限ベクトルモードの符号化処理を行うため、有効画像データ領域のみではなく、拡張領域をも用いて符号化、あるいは復号化処理を行う。そのため、符号化／復号化部 803 は、まず、有効画像データ領域に拡張領域を付加した拡張論理空間において読み込みたい矩形領域である、アクセス矩形領域を決定する。

符号化／復号化部 803 は、読み込みたいアクセス矩形領域のうち、外部メモリ 802 に格納されている有効画像データ領域に含まれる複数のマクロブロック、すなわち有効アクセス矩形領域の画像データを、外部メモリ 802 から内部メモリ 805 に読み込む。内部メモリ 805 において、メモリ内のアドレスとしては、アクセス矩形領域が、水平 48 画素×垂直 48 画素であれば、0 から、2303 までの物理アドレスが使用される。符号化／復号化部 803 は、外部メモリ 802 から読み込んだ有効アクセス矩形領域の画像データを、内部メモリ 805 の対応アドレスに格納する。

内部メモリ 805 から符号化対象画像、あるいは復号化対象画像をデータ処理部 804 に転送する場合、まず、制御部 806 が、データ処理部 804 に転送するアクセス矩形領域内のデータ処理矩形領域を決定し、内部メモリ制御部 807 にデータ処理矩形領域のアクセスアドレスを発生させるための設定情報を設定する。その設定情報とは、スタートアドレスとしての物理アドレス AA、水平論理アドレス HP、垂直論理アドレス VP、及び EXTPAT である。

内部メモリ制御部 807 に入力された設定情報のうち、スタートアドレスとしての物理アドレス AA と、水平、及び垂直論理アドレス HP、VP とは、2 次元アドレス発生部に入力され、拡張パター

ンとしてのEXTPATは、アドレス変換部809に入力される。
2次元アドレス発生部808は、入力されたスタートアドレスをもとに、データ処理矩形領域のアドレスを順次発生させ、その物理アドレスAA、水平、及び垂直論理アドレスHP、VPをアドレス変換部809に出力する。

例えば、データ処理矩形領域の大きさが水平16画素×垂直16画素のマクロブロックであり、また、制御部806から2次元アドレス発生部808に、スタートアドレスとして第10図に示された画素データ1005のアドレスが入力された場合には、データ処理部804において符号化、あるいは復号化処理されるデータ処理矩形領域は、マクロブロック1006であり、2次元アドレス発生部808は、画素データ1005のアドレスから始まって、右側へ1画素ずつずれてアドレスを発生し、マクロブロック1006の右端に達すると、垂直座標方向に1画素ずつマクロブロック1006の左端に戻り、また、右側へ1画素ずつずれながらアドレスを発生し、マクロブロック1006の全てのアドレスを順次発生させる。そして、アドレス変換部809には、2次元アドレス発生部808の発生したアドレスが順次入力される。アドレス変換部809は、2次元アドレス発生部808から入力された物理アドレスAAと、水平、及び垂直論理アドレスHP、VPと、制御部806から入力されたEXTPATとをもとに、変換後の物理アドレスAA'を出力する。

そのアドレスの変換において、アドレス変換部809は、テーブルを用いてアドレスを変換する。すなわち、EXTPATは9パターンあるため、水平48画素×垂直48画素の矩形領域のアドレス変換テーブルを9個保持することにより、アドレスの変換を実行することができる。

しかし、上述のように、水平48画素×垂直48画素の矩形領域のアドレス変換テーブルを9個保持すると、そのテーブルデータの

容量が大きくなってしまふ。したがって、そのテーブルデータの量を減少させるため、4 b i t の E X T P A T の各 1 b i t 判定と、水平、及び垂直論理アドレス H P、V P の判定とを行うことによりアドレスを変換する、アドレス変換テーブルを用いる。

- 5 第 11 (a) 図、及び第 11 (b) 図は、そのアドレス変換テーブルの一部を示す図である。

例えば、第 9 図において、マクロブロック 910、及びマクロブロック 911 は、拡張領域への拡張パターン、及びマクロブロック 910、911 が、それぞれ矩形領域 902、903 の左上のマクロブロックであるという、マクロブロックの矩形領域に対する相対位置が同じであるので、第 11 (a) 図のテーブルを用いることにより、アドレスの変換を実行できる。また、第 9 図に示されたマクロブロック 912、913、914 に関しては、第 11 (b) 図のテーブルを用いることにより、アドレスの変換を実行でき、有効画像データ領域に拡張領域を付加したのと同じ効果が得られる。その他の領域に対しても、同様のテーブルを用いることにより、アドレスの変換を実行できる。なお、有効画像領域のアドレスの変換においては、アドレス変換部 809 に入力された物理アドレス A A を、変換後の物理アドレス A A' として出力するだけである。

- 20 具体的には、例えば第 10 図の矩形領域 1000 が、第 9 図で示された矩形領域 902 であるとする、画素データ 1005 のアドレスが (H P、V P) = (-10、-10)、A A = 294 のときには、E X T P A T = 1000 であるので、第 11 (a) 図に示されたテーブルにより A A' = 774 となる。そして、アドレス変換部
25 809 は、この変換後の物理アドレス A A' = 774 を内部メモリ 805 に出力する。

内部メモリ 805 は、内部メモリ制御部 807 から入力された物理アドレス A A' に基づいて、そのアドレスの画素データをデータ処理部 804 に出力する。そして、この 2 次元アドレス発生部 80

8 によるアドレスの発生と、アドレス変換部 809 によるアドレスの変換と、内部メモリ 805 からデータ処理部 804 への画素データの転送とをマクロブロック分、順次実行する。

5 以上のように、本実施の形態 2 による画像処理装置によれば、内部メモリ 805 のアクセスアドレスを発生する 2 次元アドレス発生部 808 と、テーブルを用いて 2 次元アドレス発生部の発生したアドレスを変換するアドレス変換部 809 とを備えたことで、有効画像データ領域外へのアクセスアドレスが有効画像データ領域端の画素データのアドレスになるように制御される。すなわち、外部メモリ 802、及び内部メモリ 805 内には有効画像データのみを保持し、内部メモリ 805 からデータ処理部 804 に画像データを転送する際に、2 次元アドレス発生部 808 の発生したアドレスが有効画像データ領域外であれば、アドレス変換部 809 により有効画像データ領域内のアドレスになるよう変換することにより、外部メモリ 802、及び内部メモリ 805 の必要容量の増加を防止でき、かつ、事前に有効画像データ領域の拡張領域への拡張を実行しなくてよいため、その拡張処理のための負担を軽減することができる効果が得られる。

さらに、アドレスの変換をハードウェアにより実現させる場合には、符号化／復号化部 803 におけるソフトウェアにおける処理負担を低減することができ、また、テーブルを用いたアドレスの変換には、乗算処理等が必要でないため、ハードウェアに乗算器等が不要であることにより、ハードウェア規模の減少を実現することができる。

25 なお、本実施の形態 2 では、符号化／復号化部 803 の読み込む矩形領域として、特に水平 48 画素×垂直 48 画素の場合について説明したが、これは一例であって、水平 48 画素×垂直 48 画素以外の矩形領域に対しても、EXTPAT とテーブルとを用いた拡張領域の付加が可能である。

また、本実施の形態 2 では、符号化／復号化部 803 の内部メモリ 805 からデータ処理部 804 に転送される矩形領域として、水平 16 画素×垂直 16 画素のマクロブロック場合について説明したが、これは一例であって、水平 16 画素×垂直 16 画素のマクロブロック以外の矩形領域の画像データを内部メモリ 805 からデータ処理部 804 に転送することも可能である。

また、本実施の形態 2 における符号化／復号化部 803 は、プログラム制御によるソフトウェアで構成してもよく、ハードウェアで構成してもよい。

また、本実施の形態 2 における外部メモリ 805、及び内部メモリ 805 は、DRAM で構成してもよく、SRAM で構成してもよい。

また、本実施の形態 2 における符号化／復号化部は、符号化、及び復号化処理の両方を行うものであってもよく、あるいは、いずれか一方の処理のみを行うものであってもよい。

また、本実施の形態 2 では、符号化／復号化部 803 の内部でのデータの転送時に EXTPAT とテーブルとを用いた画素データ拡張領域の付加を行ったが、実施の形態 1 と同様に、外部メモリからプロセッサ部へのデータの転送時に本実施の形態 2 と同様の EXTPAT とテーブルとを用いた画素データ拡張領域の付加を行ってもよい。

また、本実施の形態 2 では、外部メモリ 802 から符号化／復号化部 803 の内部メモリ 805 へのデータ転送は、第 8 図に示されたように、単に DMA バス 801 を介して行われるのみであるが、これは一例であって、第 12 図に示されたように、外部メモリ 802 と、内部メモリ 805 との間に、外部メモリ 802 と内部メモリ 805 との間のデータ転送の制御やスケジュール管理を実行するプロセッサ部 810 を設けることも可能であり、画像処理装置がそのプロセッサ部 810 を備えることにより、より高度な画像処理を行

うことができる効果も得られる。第 12 図において、811 は、内部メモリ 812 に対し、アドレスの発生や転送タイミング制御を行うメモリ制御部である。813 は、内部メモリ 805、812 間のデータ転送の際に経由するバスである。なお、内部メモリ 805、

5 812 間にデータ転送専用バスを有してもよい。

産業上の利用可能性

以上のように、本発明に係る画像処理方法、及び画像処理装置は、無制限動きベクトルモードによる画像データの符号化、あるいは復

10 号化を行う画像処理装置に適している。

15

20

25

請 求 の 範 囲

1. メモリに記憶してあるデータを符号化又は復号化処理するプロセッサ部が設定情報保持部に設定情報を設定した後、該設定情報に従ってアドレス発生部が矩型アクセスアドレスを発生し、該矩型アクセスアドレスに従ってメモリ制御部が前記メモリの書き込み又は読み出し制御をし、データ転送を行う画像処理方法において、

前記アドレス発生部とは別に水平及び垂直方向のアクセス位置を管理し、アクセスする位置が有効データ領域外になる場合は、前記アドレス発生部の発生アドレスを有効データ領域内のアドレス値になるように制御して、画像データを補う処理を行うようにしたことを特徴とする画像処理方法。

2. メモリに記憶してある有効画像データを符号化又は復号化する画像処理装置において、

前記メモリ内に前記有効画像データのみを記憶させ、もし、符号化／復号化部が前記有効画像データの領域外の画素データを符号化又は復号化する場合には、アドレス制御、あるいはアドレス変換により前記メモリに記憶されている有効画像データ領域の前記画素データに最も近い最端縁に位置するデータを符号化又は復号化することを特徴とする画像処理装置。

3. 画像データの入出力を行う画像入出力部と、

画像データ、および符号データを記憶するメモリと、

前記メモリへのアクセス矩形領域の矩形アクセスアドレスを発生させるのに必要な設定情報を出力すると共に、前記メモリに記憶してあるデータを符号化又は復号化処理する符号化／復号化部を有するプロセッサ部と、

前記メモリへの矩型アクセスアドレスを発生し、かつ、前記矩型アクセスアドレスの発生において、水平方向のアドレスの発生が終了したときには水平終了信号を発生し、垂直方向のアドレスの発生

が終了したときには垂直終了信号を発生するアドレス発生部と、

前記アドレス発生部で矩形アクセスアドレスを発生するのに必要な前記プロセッサ部からの設定情報を保持する設定情報保持部と、

- 前記設定情報と、前記水平終了信号と、前記垂直終了信号とにより、
5 水平方向および垂直方向の前記メモリへのアクセス位置を管理し、前記アクセス位置が前記メモリに記憶されている領域内であるか否かを判断し、領域内である場合は、前記アドレス発生部に動作許可信号を出力し、領域内でない場合は前記アドレス発生部に動作許可信号を出力しないことにより前記アドレス発生部のアドレスの
10 発生を制御するアドレス制御部と、

前記アドレス発生部で発生した矩形アクセスアドレスに従って前記メモリの書き込み又は読み出し制御を行うメモリ制御部とを備えたことを特徴とする画像処理装置。

4. 画像データの入出力を行う画像入出力部と、

- 15 画像データ、および符号データを記憶するメモリと、
前記メモリにアクセスしたいアクセス矩形領域のアドレスの矩形アクセスアドレスを発生させるのに必要な設定情報を出力すると共に、前記メモリに記憶してあるデータを符号化又は復号化処理する符号化／復号化部を有するプロセッサ部と、

- 20 前記メモリへの矩形アクセスアドレスを発生し、かつ、前記矩形アクセスアドレスの発生において、水平方向のアドレスの発生が終了したときには水平終了信号を発生し、垂直方向のアドレスの発生が終了したときには垂直終了信号を発生するアドレス発生部と、

- 前記アドレス発生部で矩形アクセスアドレスを発生するのに必要な前記プロセッサ部からの設定情報として、水平開始位置情報、水平位置変位情報、水平位置制限値情報、垂直開始位置情報、垂直位置変位情報、および垂直位置制限値情報を保持する設定情報保持部と、
- 25

前記水平開始位置情報と前記水平位置変位情報とから水平方向の

- アクセス位置を管理する水平位置管理部、および前記垂直開始位置情報と前記垂直位置変位情報とから垂直方向のアクセス位置を管理する垂直位置管理部を有し、さらに前記水平位置管理部からの水平位置情報、前記垂直位置管理部からの垂直位置情報、前記設定情報
- 5 保持部からの水平位置制限値情報および垂直位置制限値情報、並びに前記アドレス発生部からの前記水平終了信号および前記垂直終了信号から、前記アドレス発生部の動作を許可する動作許可信号を生成する動作許可信号生成部を有し、該動作許可信号生成部からの動作許可信号によって前記アドレス発生部の動作及び停止を制御する
- 10 アドレス制御部と、

前記アドレス発生部で発生した矩形アクセスアドレスに従って前記メモリの書き込み又は読み出し制御を行うメモリ制御部とを備えたことを特徴とする画像処理装置。

5. 画像データの入出力を行う画像入出力部と、

- 15 画像データ、および符号データの有効画像データ領域を記憶する外部メモリと、

前記外部メモリから読み出したいアクセス矩形領域を決定し、前記アクセス矩形領域のうち前記有効画像データ領域に含まれる有効アクセス矩形領域のデータを前記外部メモリから読み出し、符号化

20 又は復号化処理を行う符号化／復号化部とを備えた画像処理装置であって、

前記符号化／復号化部は、

データの符号化又は復号化処理を行うデータ処理部と、

- 前記外部メモリから読み出した前記有効アクセス矩形領域のデータ
- 25 を記憶する内部メモリと、

前記アクセス矩形領域内に前記内部メモリから前記データ処理部に転送するデータ処理矩形領域を設定し、前記データ処理矩形領域のスタートアドレス、および前記アクセス矩形領域と前記有効画像データ領域との相対位置を示す拡張パターンを出力する制御部と、

前記スタートアドレスを始点として前記データ処理矩形領域内のアクセスアドレスを発生するアドレス発生部と、

- 前記アドレス発生部の発生したアドレスが前記有効アクセス矩形領域内である場合には、そのアドレスをそのまま前記内部メモリに出力し、前記アドレス発生部の発生したアドレスが前記有効アクセス矩形領域内でない場合には、前記拡張パターンをもとに、前記アドレス発生部の発生したアドレスを前記有効アクセス矩形領域内のアドレスに変換して前記内部メモリに出力するアドレス変換部とから構成されることを特徴とする画像処理装置。
6. 請求の範囲第5項に記載の画像処理装置において、
- 前記アドレス変換部は、アドレス変換のためのテーブルを保持し、該テーブルを用いることによりアドレスの変換を行うことを特徴とする画像処理装置。

15

20

25

補正書の請求の範囲

[2000年5月15日(15.05.00)国際事務局受理:出願当初の
請求の範囲1及び2は補正された;他の請求の範囲は変更なし。(2頁)]

1. (補正後)メモリに記憶してあるデータを符号化又は復号化処理
するプロセッサ部が設定情報保持部に設定情報を設定した後、該設
5 定情報に従ってアドレス発生部が矩型アクセスアドレスを発生し、
該矩型アクセスアドレスに従ってメモリ制御部が前記メモリの書き
込み又は読み出し制御をし、データ転送を行う画像処理方法におい
て、

前記メモリ内に有効画像データのみを記憶させ、前記アドレス発
10 生部とは別に水平及び垂直方向のアクセス位置を管理し、アクセス
する画素位置が有効画像データ領域外になる場合は、前記アドレス
発生部の発生アドレスを有効画像データ領域内の、前記画素位置に
最も近い最端縁に位置する画素位置になるようにアドレス制御、あ
るいはアドレス変換を行うことを特徴とする画像処理方法。

15 2. (補正後)メモリに記憶してあるデータを符号化又は復号化する
画像処理装置において、

前記メモリ内に有効画像データのみを記憶させ、符号化/復号化
部が前記有効画像データの領域外の画素データにアクセスする場合
には、該画素データとして、前記メモリに記憶されている有効画像
20 データ領域内の、前記画素データに最も近い最端縁に位置する画素
データにアクセスするようアドレス制御、あるいはアドレス変換し
て、符号化又は復号化処理を行うことを特徴とする画像処理装置。

3. 画像データの入出力を行う画像入出力部と、

画像データ、および符号データを記憶するメモリと、

25 前記メモリへのアクセス矩形領域の矩形アクセスアドレスを発生
させるのに必要な設定情報を出力すると共に、前記メモリに記憶し
てあるデータを符号化又は復号化処理する符号化/復号化部を有す
るプロセッサ部と、

前記メモリへの矩型アクセスアドレスを発生し、かつ、前記矩形

アクセスアドレスの発生において、水平方向のアドレスの発生が終了したときには水平終了信号を発生し、垂直方向のアドレスの発生

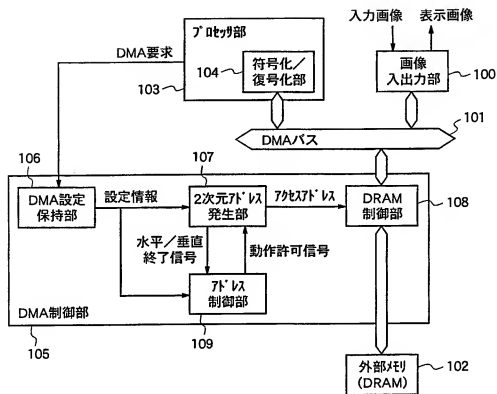
条約19条に基づく説明書

- 請求の範囲第1項、及び請求の範囲第2項は、有効データ領域外にアクセスするときに、該アクセス位置が有効データ領域内になる
- 5 ように制御する単位が、ブロック単位ではなく、画素データ単位であること、及び上記制御において、有効データ領域外へのアクセス位置が有効データ領域の最端縁の位置となるように制御することを明確にした。

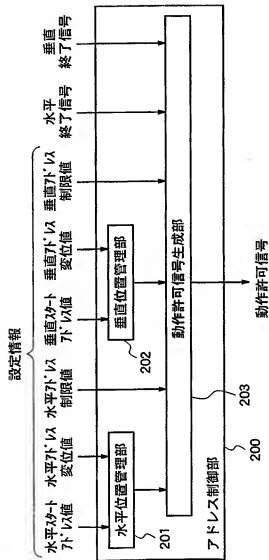
- 引用例(JP, 2-20988、及びJP, 5-236455)
- 10 は、動きベクトルの検出に有効領域外のデータを用いないものであり、動きベクトルを検出するブロックが有効領域外のデータ領域を含む場合に、該ブロックを有効データ領域内に移動する、あるいは、動きベクトルを検出するための比較動作を行わないことを特徴とする。

- 15 本発明は、有効データ領域外の拡張領域をも用いる無制限動きベクトルモードにおいて動きベクトルを検出するものであり、動きベクトルを検出するブロックが有効データ領域外、すなわち拡張領域を含むこともある点で、上記引用例とは異なる。また、本発明は、有効データ領域外の画素データにアクセスする場合に、該画素データに最も近い、有効データ領域の最端縁の画素データにアクセスするようアドレス制御、あるいはアドレス変換を行うことで、メモリ
- 20 のデータ容量を増加させることなく、有効データ領域を拡張領域にまで拡張した場合と同様の効果を得られるものである。

第1図



第2図



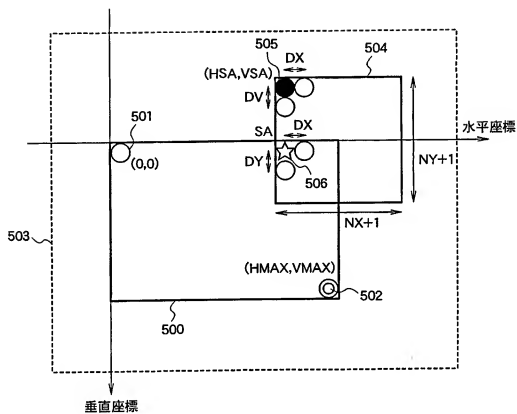
第3図

使用記号	2次元 Γ で発生部に必要な設定情報の種類
SA	Γ 矩形のスタート Γ 値
NX	Γ 矩形の水平方向の Γ 数-1した値
DX	Γ 矩形の水平方向の Γ 変位値
NY	Γ 矩形の垂直方向の Γ 数-1した値
DY	Γ 矩形の垂直方向の Γ 変位値

第4図

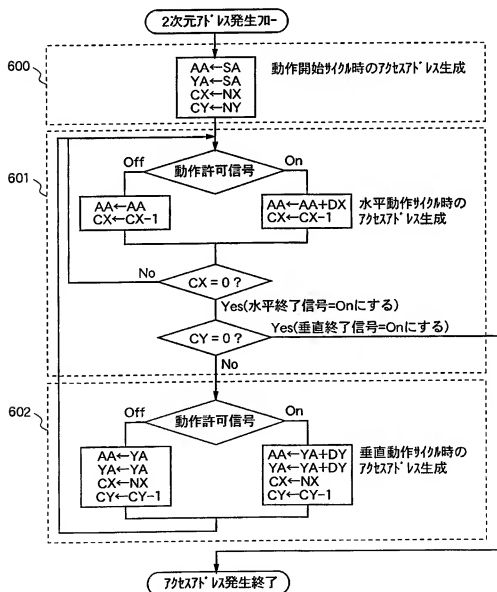
使用記号	Γ で制御部に必要な設定情報の種類
HSA	拡張論理空間の水平スタート Γ 値
HMAX	拡張論理空間の水平 Γ 制限値
DX	2次元 Γ で発生部の設定情報と同一値
VSA	拡張論理空間の垂直スタート Γ 値
VMAX	拡張論理空間の垂直 Γ 制限値
DV	拡張論理空間の垂直 Γ 変位値

第5図



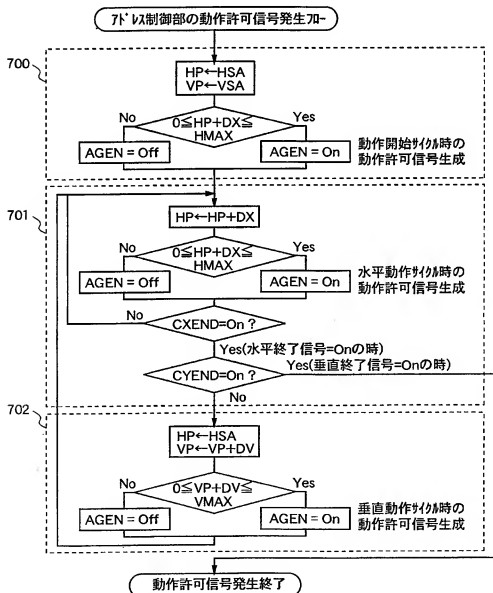
第6図

使用記号	意 味
AA	発生したアクセスアドレス
YA	垂直初期アドレス
CX	水平方向のアドレス数-1のNXを減算する変数
CY	垂直方向のアドレス数-1のNYを減算する変数

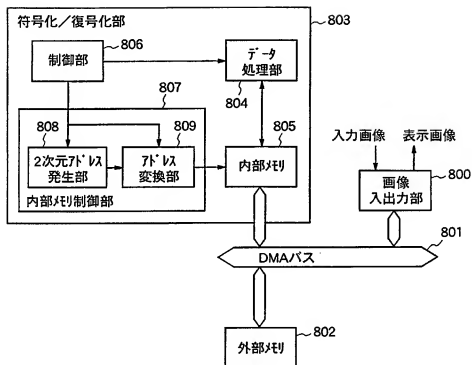


第7図

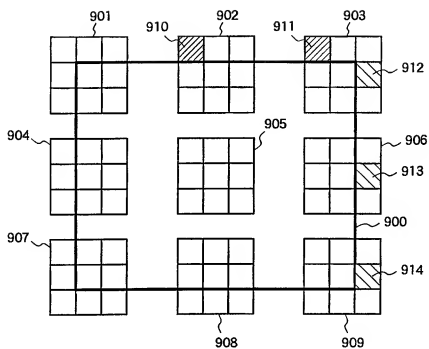
使用記号	意 味
AGEN	2次元 γ で発生部への動作許可信号
HP	水平位置管理部で生成する水平 γ で
VP	垂直位置管理部で生成する垂直 γ で
CXEND	2次元 γ で発生部からの水平終了信号
CYEND	2次元 γ で発生部からの垂直終了信号



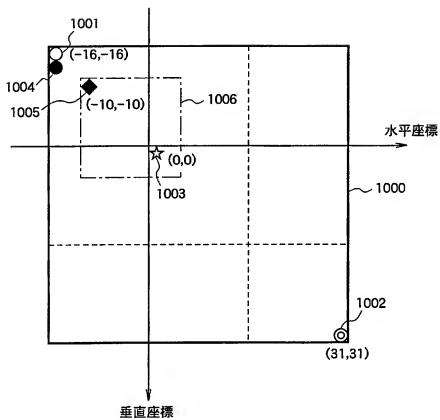
第8図



第9図



第10図



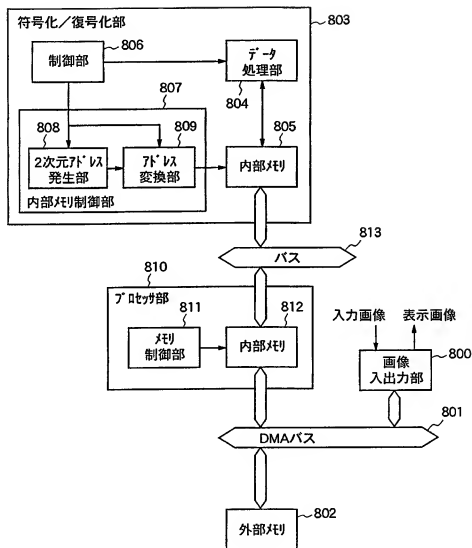
第11(a)図

EXTPAT				HP	VP	AA'
1	0	0	1/0	-16	<0	768
1	0	0	1/0	-15	<0	769
1	0	0	1/0	-14	<0	770
1	0	0	1/0	-13	<0	771
1	0	0	1/0	-12	<0	772
1	0	0	1/0	-11	<0	773
1	0	0	1/0	-10	<0	774
1	0	0	1/0	-9	<0	775
1	0	0	1/0	-8	<0	776
1	0	0	1/0	-7	<0	777
1	0	0	1/0	-6	<0	778
1	0	0	1/0	-5	<0	779
1	0	0	1/0	-4	<0	780
1	0	0	1/0	-3	<0	781
1	0	0	1/0	-2	<0	782
1	0	0	1/0	-1	<0	783

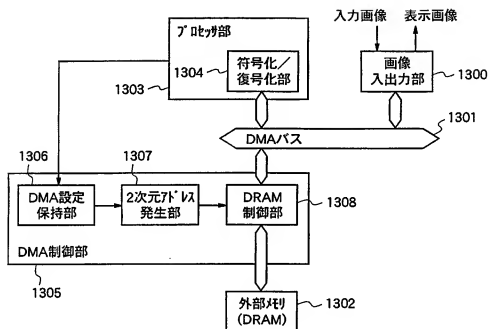
第11(b)図

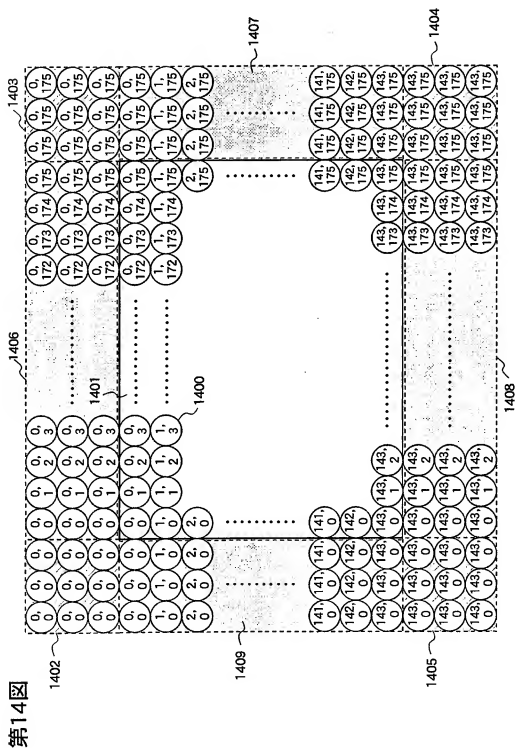
EXTPAT				HP	VP	AA'
1/0	1/0	0	1	>16	0	799
1/0	1/0	0	1	>16	1	847
1/0	1/0	0	1	>16	2	895
1/0	1/0	0	1	>16	3	943
1/0	1/0	0	1	>16	4	991
1/0	1/0	0	1	>16	5	1039
1/0	1/0	0	1	>16	6	1087
1/0	1/0	0	1	>16	7	1135
1/0	1/0	0	1	>16	8	1183
1/0	1/0	0	1	>16	9	1231
1/0	1/0	0	1	>16	10	1279
1/0	1/0	0	1	>16	11	1327
1/0	1/0	0	1	>16	12	1375
1/0	1/0	0	1	>16	13	1423
1/0	1/0	0	1	>16	14	1471
1/0	1/0	0	1	>16	15	1519

第12図



第13図





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06997

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H04N7/24		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H04N7/24-7/68		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 2-20988, A (Fujitsu Limited), 24 January, 1990 (24.01.90), Full text; Figs. 1 to 8	1, 2 3-6
A	Full text; Figs. 1 to 8 (Family: none)	
X	JP, 5-236455, A (NEC Corporation), 10 September, 1993 (10.09.93), page 8, left column, line 33 to right column, line 7; Figs. 12, 15	1, 2 3-6
A	page 8, left column, line 33 to right column, line 7; Figs. 12, 15 (Family: none)	
A	JP, 5-75989, A (Graphics Communication Technologies K.K.), 26 March, 1993 (26.03.93), Full text; Figs. 1 to 5 (Family: none)	1-6
A	JP, 10-257493, A (Xing K.K., BROTHER INDUSTRIES, LTD.), 25 September, 1998 (25.09.98), Full text; Figs. 1 to 13 (Family: none)	1-6
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </p>		
Date of the actual completion of the international search 01 March, 2000 (01.03.00)		Date of mailing of the international search report 14 March, 2000 (14.03.00)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告

国際出願番号 PCT/J P99/06997

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H04N7/24

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H04N7/24-7/68

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-1999年

日本国登録実用新案公報 1994-1999年

日本国実用新案登録公報 1996-1999年

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P, 2-20988, A (富士通株式会社) 24. 1月. 1990 (24. 01. 90) 全文, 第1-8図 全文, 第1-8図 (ファミリーなし)	1, 2 3-6
X A	J P, 5-236455, A (日本電気株式会社) 10. 9月. 1993 (10. 09. 93) 第8頁左欄第33行~右欄第7行, 第12, 15図 第8頁左欄第33行~右欄第7行, 第12, 15図 (ファミリーなし)	1, 2 3-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に関する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01. 03. 00

国際調査報告の発送日

14.03.00

国際調査機関の名称及びて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

畑中 高行

5 P 9468

電話番号 03-3581-1101 内線 3581

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 5-75989, A (株式会社グラフィックス・コミュニケーション・テクノロジーズ) 26. 3月. 1993 (26. 03. 93) 全文, 第1-5図 (ファミリーなし)	1-6
A	J P, 10-257493, A (株式会社エクシング, ブラザー工業株式会社) 25. 9月. 1998 (25. 09. 98) 全文, 第1-13図 (ファミリーなし)	1-6